

DOI 10.20535/2411-1031.2021.9.2.249910

УДК 004.052.32::681.326.7

ВАСИЛЬ КУЛКОВ,  
ОЛЕКСАНДР УСПЕНСЬКИЙ,  
АНДРІЙ ЖУРАВЕЛЬ,  
МИКОЛА ЖУРАВЕЛЬ

### **ПІДХІД ДО ДІАГНОСТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ НА ПОВНОМУ ПЕРЕВІРЯЮЧОМУ ТЕСТІ**

Наведено результати досліджень щодо можливості застосування повного перевіряючого тесту для вирішення актуальної науково-технічної проблеми, а саме, локалізації несправностей в цифровому комбінаційному пристрої. Метою проведеного дослідження є підвищення ефективності діагностичного забезпечення сучасних цифрових пристроїв. Розглядаються несправності, які не перетворюють схему з категорії цифрових схем і спотворюють лише функції логічних елементів. До таких несправностей віднесено несправності типу закріплення значень сигналів в 0 та 1 на входах і виходах схеми та входах і виходах логічних елементів. Задача побудови діагностичного тесту в даний час не має рішення, яке б можна було рекомендувати для практичного застосування. Пропонується новий підхід до локалізації несправності у цифровому пристрої, заснований на застосуванні повного перевіряючого тесту разом з дедуктивним моделюванням, яке зменшує кількість підозрюваних несправних технічних станів. Побудова повного перевіряючого тесту базується на застосуванні методів визначення вхідних сигналів, які розрізняють пару технічних станів цифрової схеми. Описано діагностичну процедуру, в якій застосування повного перевіряючого тесту може суттєво зменшити обсяг діагностичної інформації, необхідної для пошуку несправностей в цифровому пристрої. Запропонована процедура може бути рекомендована для побудови діагностичного забезпечення цифрових схем на етапах їх проектування та експлуатації. Також запропоновано структурну схему програмно-апаратного пристрою для реалізації діагностичної процедури. Результатом проведеного дослідження є висновок про те, що застосування повного перевіряючого тесту значно скорочує обсяг діагностичної інформації і, відповідно, суттєво підвищує ефективність засобів визначення технічного стану цифрових пристроїв. Отримані результати досліджень продемонстровано на прикладі комбінаційної схеми C17 ISCAS. Показано, що повний перевіряючий тест локалізує в даній схемі всі константні несправності кратності 1.

**Ключові слова:** цифрова схема, технічний стан, несправність, перевіряючий тест, діагностичний тест, модель цифрового пристрою.

**Постановка проблеми.** Пошук несправності у цифровому пристрої (ЦП) виконується із застосуванням діагностичної інформації (ДІ). Під терміном “діагностична інформація” розуміють сукупність даних, наявність яких необхідна для проведення процесу діагностування. Великий обсяг цієї інформації для пристроїв, побудованих на сучасній елементній базі, є причиною значного ускладнення процесу виявлення і локалізації реальних дефектів [1].

Вирішенню проблеми зменшення обсягу (скорочення) ДІ присвячено багато робіт, в яких були запропоновані різні підходи і методи. Проте слід зазначити, що зменшити розмірність ДІ не вдається якимось універсальним способом. З цієї причини продовжуються спроби створення прийнятних по ефективності методів скорочення ДІ з використанням різних засобів, включаючи спеціальні методи проектування ЦП, особливу організацію самої ДІ,

спеціалізовану апаратуру. Разом з тим кожен з перерахованих підходів має свої переваги і недоліки і обмежену сферу застосування. Незважаючи на велику кількість робіт в зазначеному напрямі, в цілому проблема скорочення ДІ залишається відкритою.

Методи рішення задачі побудови діагностичного тесту внаслідок їх великої обчислювальної складності на практиці не застосовуються. В даній роботі показано, що локалізація несправності у цифровому пристрої може бути виконана зі застосуванням повного перевіряючого тесту разом з дедуктивним моделюванням, на яке покладається зменшення кількості підозрюваних несправних станів.

**Аналіз останніх досліджень і публікацій.** Актуальність проблеми побудови систем діагностування із заданою повнотою виявлення несправностей обумовлена постійним зростанням складності цифрових пристроїв, тобто збільшенням кількості логічних елементів (вентилів) у схемах що підлягають тестуванню. До рішення проблеми діагностування технічних об'єктів постійно пропонуються нові підходи. Так у [2] показано, що коди з додаванням можуть бути ефективно використані при побудові систем функціонального контролю комбінаційних логічних пристроїв. Проте даний підхід може забезпечити перевірку правильності функціонування і не вирішує проблеми локалізації місця виникнення помилки. В [3] показана можливість використання імітаційних моделей в якості джерела інформації в процесі тестування інтегральних мікросхем. В [4] пропонуються теорія і приклади реалізації кубітних моделей, методів і алгоритмів для підвищення швидкодії існуючих програмних і апаратних засобів аналізу цифрових обчислювальних пристроїв за рахунок збільшення розмірності структур даних і пам'яті для одночасного зберігання оброблюваних станів. Досвід аналізу різних способів побудови систем діагностування цифрових пристроїв на надвеликих інтегральних схемах доводить ефективність систем вбудованого контролю і самотестування [5].

**Метою статті** є розгляд нового підходу до вирішення задачі локалізації несправностей у цифрових комбінаційних пристроях.

У [6] розглянуто алгоритм побудови повного перевіряючого тесту для цифрового пристрою щодо заданої множини несправностей. Показано, що задача може бути вирішена за допомогою двох процедур: генератора тестів для обраної несправності і моделі, яка відшукує (за результатами моделювання) несправності, для яких тест ще не знайдений. В якості генератора запропоновано використовувати процедуру призначення сигналів і скорочення перебору методом фокусованого пошуку. Для моделювання схем з несправностями пропонується використовувати дедуктивний метод.

У даній роботі на прикладі простої комбінаційної схеми C17 ISCAS пропонується розглянути можливість застосування повного перевіряючого тесту для локалізації несправності. На рис. 1 представлено опис схеми і її зображення у вигляді логічної мережі з п'ятьма входами (позначеними 1, 2, 3, 6 і 7) і шістьма елементами NAND (I-HE), два з яких (22-й і 23) формують вихідні сигнали схеми.

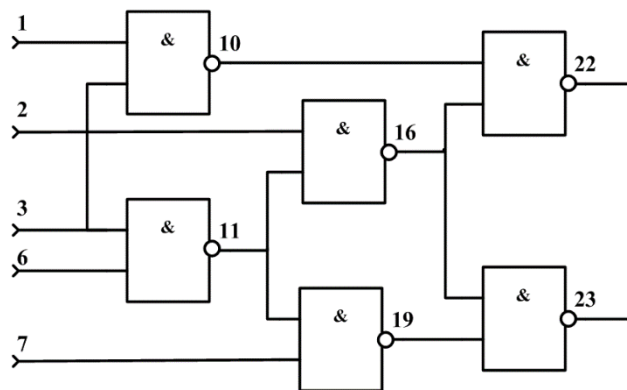


Рисунок 1 – Схема C17

Кількість можливих несправностей в схемі дорівнює 22. Несправності моделюються сигналами, які приймають стале (незмінне) значення на відповідному вході/виході логічного елемента/схеми. Сигнали та несправності позначаються наступним чином:

– сигнали/несправності на виходах логічних елементів та входах схеми –  $A^k$ , де  $A$  – номер елемента/входу схеми,  $k$  – значення сигналу або його стале значення (несправність) на вході схеми або виході логічного елемента;

– сигнали/несправності входів логічних елементів –  $A^k_n$ , де  $A$  – номер логічного елемента,  $k$  – значення сигналу або його стале значення (несправність) на виході логічного елемента,  $n$  – номер логічного елемента або входу схеми, з якого сигнал подається на вхід елемента  $A$ .

До списку одиночних константних несправностей схеми С17 входять наступні несправності:  $1^1, 2^1, 3^1, 10^1_3, 11^1_3, 3^0, 6^1, 7^1, 10^1, 11^1, 16^1_{11}, 19^1_{11}, 11^0, 16^1, 22^1_{16}, 23^1_{16}, 16^0, 19^1, 22^1, 22^0, 23^1, 23^0$ .

У [6] наведено покроковий опис ітеративної процедури побудови повного тесту для перевірки одиночних константних несправностей схеми С17. Показано, що послідовність наборів тестових сигналів  $X = \{ \{ 1^0, 2^0, 3^1, 6^1, 7^1 \}, \{ 1^0, 2^0, 3^0, 6^0, 7^0 \}, \{ 1^1, 2^0, 3^0, 6^1, 7^0 \}, \{ 1^0, 2^1, 3^0, 6^1, 7^0 \}, \{ 1^0, 2^1, 3^1, 6^0, 7^0 \}, \{ 1^1, 2^0, 3^1, 6^0, 7^1 \}, \{ 1^0, 2^1, 3^1, 6^1, 7^1 \} \}$  є **повним перевіряючим тестом** схеми С17 відносно заданої множини несправностей кратності 1.

Кожен набір тестових сигналів має здатність перевіряти в схемі множини несправностей крім несправності, для перевірки якої його було побудовано (див. табл. 1). Далі показано, що інформація про перевіряючу здатність тесту може бути використана при локалізації несправності, тобто при **діагностуванні схеми**. В табл. 1 прийнято наступні позначення:

$S_I$  – несправність кратності 1, для якої побудовано тест;

$T_I$  – тест несправності  $S_I$ ;

$S_i$  – несправності схеми, відносно яких визначається перевіряюча здатність  $T_I$ ;

$Y$  – сигнали на виходах справної схеми, коли на її входи подано  $T_I$ ;

“+” – виставляється на перетині відповідних рядків і стовпчиків, якщо несправність змінює (інвертує) сигнал на виході справної схеми  $Y$ .

Таблиця 1 – Повний перевіряючий тест для схеми С17

$S_I$	$T_I$	$S_i$	$1^1$	$2^1$	$3^1$	$10^1_3$	$11^1_3$	$3^0$	$6^1$	$7^1$	$10^1$	$11^1$	$16^1_{11}$	$19^1_{11}$	$11^0$	$16^1$	$22^1_{16}$	$23^1_{16}$	$16^0$	$19^1$	$22^1$	$22^0$	$23^1$	$23^0$	$Y$
$1^1$	$1^0, 2^0, 3^1, 6^1, 7^1$		+																+	+					$22^0$
								+				+	+							+				+	
$2^1$	$1^0, 2^0, 3^0, 6^0, 7^0$			+															+	+					$22^0$
				+						+										+			+		
$10^1_3$	$1^1, 2^0, 3^0, 6^1, 7^0$		+	+	+														+	+					$22^0$
			+							+										+				+	
$11^1_3$	$1^0, 2^1, 3^0, 6^1, 7^0$				+	+									+	+	+					+			$22^1$
					+	+									+	+	+							+	
$6^1$	$1^0, 2^1, 3^1, 6^0, 7^0$								+						+	+	+					+			$22^1$
									+						+	+	+							+	
$10^1$	$1^1, 2^0, 3^1, 6^0, 7^1$							+		+												+			$22^1$
									+						+					+				+	
$16^1_{11}$	$1^0, 2^1, 3^1, 6^1, 7^1$		+					+			+	+							+	+					$22^0$
								+			+	+	+						+				+		

**Виклад основних матеріалів дослідження.** Побудований описаним в [6] способом, повний перевіряючий тест  $X$  можна достатньо ефективно використовувати для локалізації одиночних константних несправностей схеми. Для цього пропонується наступна процедура.

**Початок.** Для кожного  $i$ -го тестового набору вхідних сигналів по табл. 1 необхідно визначити реакцію  $R_i$  на нього несправного пристрою.

Також для кожного  $i$ -го тестового набору вхідних сигналів шляхом моделювання необхідно визначити  $R_n$  – реакцію справного пристрою і множину несправностей  $F_i$ , які змінюють (інвертують хоча б на одному виході схеми) правильну реакцію (ця інформація повинна бути відома, тому що входить в процедуру побудови повного перевіряючого тесту).

**Правило 1.** Якщо  $R_i = R_n$ , то з множини підозрюваних несправностей виключити несправності  $F_i$ , такі що змінюють правильну реакцію схеми на  $T_i$  (виявляються даними тестом).

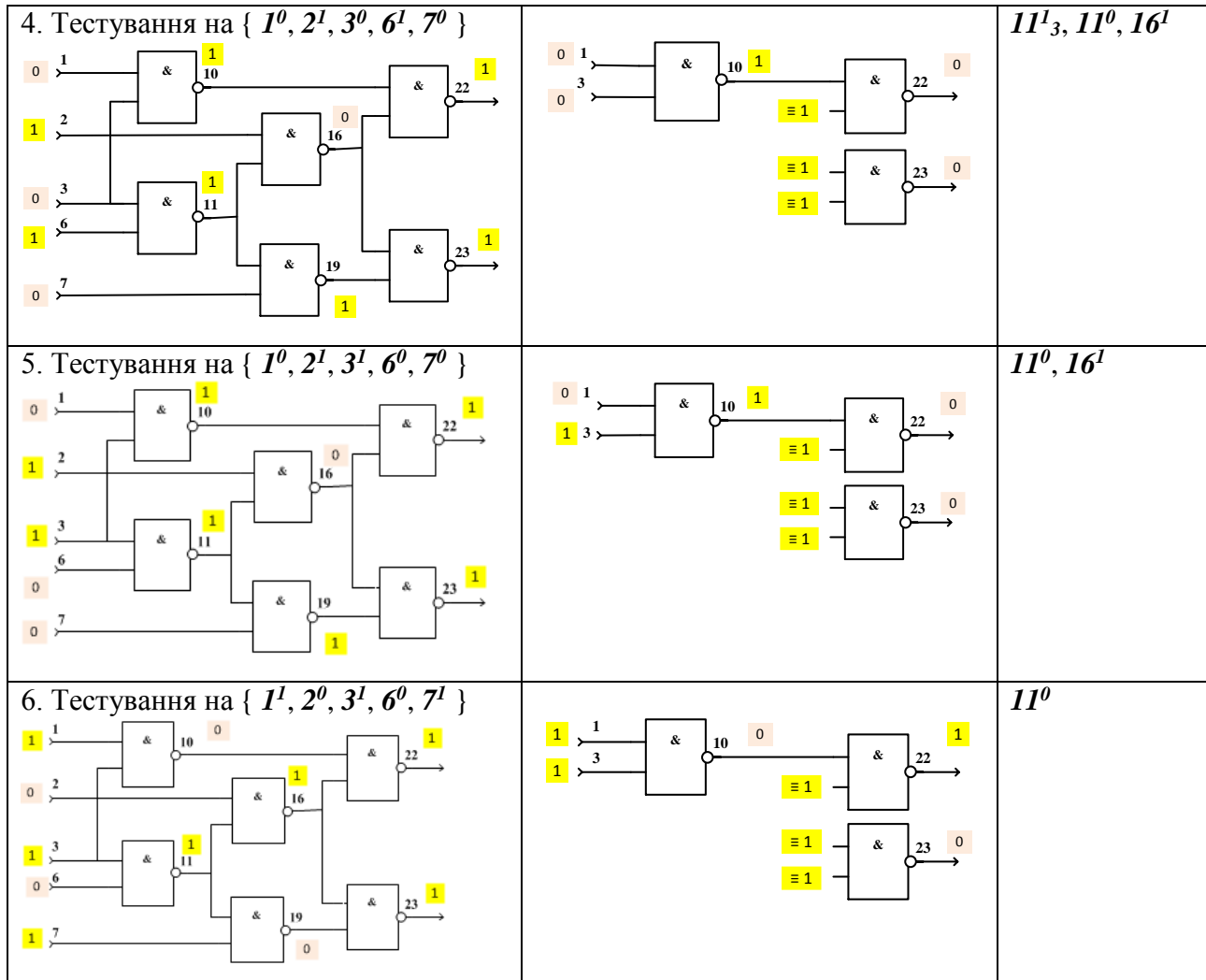
**Правило 2.** Якщо  $R_i \neq R_n$ , то в множині підозрюваних несправностей залишити тільки ті несправності з  $F_i$ , реакція на які співпадає з  $R_i$ .

**Наприклад.** Проведемо діагноз схеми С17, коли причиною її виходу з ладу є несправність  $11^0$  (закріплення в 0 виходу елемента 11). До списку підозрюваних включаємо всі несправності схеми. На входи несправної схеми подаємо комбінацію  $\{1^0, 2^0, 3^1, 6^1, 7^1\}$  і отримуємо реакцію на її виходах  $\{22^0, 23^0\}$ . Моделювання справної схеми на тому ж вхідному наборі сигналів дає такий же результат  $\{22^0, 23^0\}$ . По табл. 1 визначаємо несправності, які змінюють реакцію несправного пристрою. Це несправності, які у першому подвійному рядку таблиці позначені символом “+” ( $\{1^1, 3^0, 11^1, 19^1, 16^0, 22^1, 23^1\}$ ). У відповідності до Правила 1 виключаємо їх з множини підозрюваних несправностей. Результат даного кроку і всіх наступних показано у табл. 2. Після проведення перевірки на шостому наборі повного тесту в списку підозрюваних несправностей залишається несправність  $11^0$ .

Таблиця 2 – Локалізація несправності  $11^0$  в схемі С17

Схема С17	Схема С17 з несправністю $11^0$	Підозрювані несправності
<p>1. Тестування на <math>\{1^0, 2^0, 3^1, 6^1, 7^1\}</math></p>		$2^1, 3^1, 10^1_3,$ $11^1_3, 6^1, 7^1,$ $10^1, 16^1_{11}, 11^0,$ $16^1, 22^1_{16},$ $23^1_{16}, 19^1, 22^0,$ $23^0$
<p>2. Тестування на <math>\{1^0, 2^0, 3^0, 6^0, 7^0\}</math></p>		$3^1, 10^1_3, 11^1_3,$ $6^1, 10^1, 16^1_{11},$ $11^0, 16^1, 22^1_{16},$ $23^1_{16}, 19^1, 22^0,$ $23^0$
<p>3. Тестування на <math>\{1^1, 2^0, 3^0, 6^1, 7^0\}</math></p>		$11^1_3, 6^1, 10^1,$ $16^1_{11}, 11^0, 16^1,$ $22^1_{16}, 23^1_{16},$ $19^1, 22^0, 23^0$

Кінець таблиці 2



Описана діагностична процедура може бути запропонована для локалізації всіх несправностей в схемі С17. У табл. 3-17 фоном відмічені несправності, які залишаються в множині підозрюваних за результатами перевірки на відповідному тесті  $T_i$ .

Таблиця 3 – Локалізація несправності  $I^1$

$T_i \backslash S_i$	$I^1$	$2^1$	$3^1$	$10^1_3$	$11^1_3$	$3^0$	$6^1$	$7^1$	$10^1$	$11^1$	$16^1_{11}$	$19^1_{11}$	$11^0$	$16^1$	$22^1_{16}$	$23^1_{16}$	$16^0$	$19^1$	$22^1$	$22^0$	$23^1$	$23^0$	Y
$I^0, 2^0, 3^1, 6^1, 7^1$	+																+	+					$22^0$
$I^0, 2^0, 3^0, 6^0, 7^0$	+																+	+					$23^0$

Таблиця 4 – Локалізація несправності  $3^1$

$T_i \backslash S_i$	$I^1$	$2^1$	$3^1$	$10^1_3$	$11^1_3$	$3^0$	$6^1$	$7^1$	$10^1$	$11^1$	$16^1_{11}$	$19^1_{11}$	$11^0$	$16^1$	$22^1_{16}$	$23^1_{16}$	$16^0$	$19^1$	$22^1$	$22^0$	$23^1$	$23^0$	Y	
$I^0, 2^0, 3^1, 6^1, 7^1$	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	$22^0$
$I^0, 2^0, 3^0, 6^0, 7^0$	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	+	$23^0$





Таблиця 12 – Локалізація несправності 22<sup>1</sup>

$T_i \backslash S_i$	1 <sup>1</sup>	2 <sup>1</sup>	3 <sup>1</sup>	10 <sup>1,3</sup>	11 <sup>1,3</sup>	3 <sup>0</sup>	6 <sup>1</sup>	7 <sup>1</sup>	10 <sup>1</sup>	11 <sup>1</sup>	16 <sup>1,11</sup>	19 <sup>1,11</sup>	11 <sup>0</sup>	16 <sup>1</sup>	22 <sup>1,16</sup>	23 <sup>1,16</sup>	16 <sup>0</sup>	19 <sup>1</sup>	22 <sup>1</sup>	22 <sup>0</sup>	23 <sup>1</sup>	23 <sup>0</sup>	Y	
1 <sup>0</sup> , 2 <sup>0</sup> , 3 <sup>1</sup> , 6 <sup>1</sup> , 7 <sup>1</sup>	+					+				+		+					+		+					22 <sup>0</sup>
1 <sup>0</sup> , 2 <sup>0</sup> , 3 <sup>0</sup> , 6 <sup>0</sup> , 7 <sup>0</sup>		+															+		+					22 <sup>0</sup>
		+						+									+		+					23 <sup>0</sup>

Таблиця 13 – Локалізація несправності 16<sup>0</sup>

$T_i \backslash S_i$	1 <sup>1</sup>	2 <sup>1</sup>	3 <sup>1</sup>	10 <sup>1,3</sup>	11 <sup>1,3</sup>	3 <sup>0</sup>	6 <sup>1</sup>	7 <sup>1</sup>	10 <sup>1</sup>	11 <sup>1</sup>	16 <sup>1,11</sup>	19 <sup>1,11</sup>	11 <sup>0</sup>	16 <sup>1</sup>	22 <sup>1,16</sup>	23 <sup>1,16</sup>	16 <sup>0</sup>	19 <sup>1</sup>	22 <sup>1</sup>	22 <sup>0</sup>	23 <sup>1</sup>	23 <sup>0</sup>	Y	
1 <sup>0</sup> , 2 <sup>0</sup> , 3 <sup>1</sup> , 6 <sup>1</sup> , 7 <sup>1</sup>	+					+				+		+					+		+					22 <sup>0</sup>
																	+					+		23 <sup>0</sup>

Таблиця 14 – Локалізація несправності 101

$T_i \backslash S_i$	1 <sup>1</sup>	2 <sup>1</sup>	3 <sup>1</sup>	10 <sup>1,3</sup>	11 <sup>1,3</sup>	3 <sup>0</sup>	6 <sup>1</sup>	7 <sup>1</sup>	10 <sup>1</sup>	11 <sup>1</sup>	16 <sup>1,11</sup>	19 <sup>1,11</sup>	11 <sup>0</sup>	16 <sup>1</sup>	22 <sup>1,16</sup>	23 <sup>1,16</sup>	16 <sup>0</sup>	19 <sup>1</sup>	22 <sup>1</sup>	22 <sup>0</sup>	23 <sup>1</sup>	23 <sup>0</sup>	Y	
1 <sup>0</sup> , 2 <sup>0</sup> , 3 <sup>1</sup> , 6 <sup>1</sup> , 7 <sup>1</sup>	+																+		+					22 <sup>0</sup>
						+				+		+					+					+		23 <sup>0</sup>
1 <sup>0</sup> , 2 <sup>0</sup> , 3 <sup>0</sup> , 6 <sup>0</sup> , 7 <sup>0</sup>		+															+		+					22 <sup>0</sup>
		+						+									+					+		23 <sup>0</sup>
1 <sup>1</sup> , 2 <sup>0</sup> , 3 <sup>0</sup> , 6 <sup>1</sup> , 7 <sup>0</sup>		+	+	+													+		+					22 <sup>0</sup>
		+						+									+					+		23 <sup>0</sup>
1 <sup>0</sup> , 2 <sup>1</sup> , 3 <sup>0</sup> , 6 <sup>1</sup> , 7 <sup>0</sup>			+	+									+	+	+						+			22 <sup>1</sup>
			+	+									+	+	+								+	23 <sup>1</sup>
1 <sup>0</sup> , 2 <sup>1</sup> , 3 <sup>1</sup> , 6 <sup>0</sup> , 7 <sup>0</sup>							+						+	+	+						+			22 <sup>1</sup>
							+						+	+	+							+		23 <sup>1</sup>
1 <sup>1</sup> , 2 <sup>0</sup> , 3 <sup>1</sup> , 6 <sup>0</sup> , 7 <sup>1</sup>						+			+				+							+				22 <sup>1</sup>
							+						+						+			+		23 <sup>1</sup>

Таблиця 15 – Локалізація несправності 111

$T_i \backslash S_i$	1 <sup>1</sup>	2 <sup>1</sup>	3 <sup>1</sup>	10 <sup>1,3</sup>	11 <sup>1,3</sup>	3 <sup>0</sup>	6 <sup>1</sup>	7 <sup>1</sup>	10 <sup>1</sup>	11 <sup>1</sup>	16 <sup>1,11</sup>	19 <sup>1,11</sup>	11 <sup>0</sup>	16 <sup>1</sup>	22 <sup>1,16</sup>	23 <sup>1,16</sup>	16 <sup>0</sup>	19 <sup>1</sup>	22 <sup>1</sup>	22 <sup>0</sup>	23 <sup>1</sup>	23 <sup>0</sup>	Y	
1 <sup>0</sup> , 2 <sup>0</sup> , 3 <sup>1</sup> , 6 <sup>1</sup> , 7 <sup>1</sup>	+																+		+					22 <sup>0</sup>
						+				+		+					+					+		23 <sup>0</sup>
1 <sup>0</sup> , 2 <sup>0</sup> , 3 <sup>0</sup> , 6 <sup>0</sup> , 7 <sup>0</sup>		+						+									+		+					22 <sup>0</sup>
		+															+					+		23 <sup>0</sup>
1 <sup>1</sup> , 2 <sup>0</sup> , 3 <sup>0</sup> , 6 <sup>1</sup> , 7 <sup>0</sup>		+	+	+													+		+					22 <sup>0</sup>
		+						+									+					+		23 <sup>0</sup>
1 <sup>0</sup> , 2 <sup>1</sup> , 3 <sup>0</sup> , 6 <sup>1</sup> , 7 <sup>0</sup>			+	+									+	+	+						+			22 <sup>1</sup>
			+	+									+	+	+								+	23 <sup>1</sup>
1 <sup>0</sup> , 2 <sup>1</sup> , 3 <sup>1</sup> , 6 <sup>0</sup> , 7 <sup>0</sup>							+						+	+	+						+			22 <sup>1</sup>
							+						+	+	+								+	23 <sup>1</sup>
1 <sup>1</sup> , 2 <sup>0</sup> , 3 <sup>1</sup> , 6 <sup>0</sup> , 7 <sup>1</sup>						+			+				+							+				22 <sup>1</sup>
							+			+	+	+	+				+		+					23 <sup>1</sup>
1 <sup>0</sup> , 2 <sup>1</sup> , 3 <sup>1</sup> , 6 <sup>1</sup> , 7 <sup>1</sup>	+					+			+	+	+	+					+		+					22 <sup>0</sup>
						+			+	+	+	+					+		+			+		23 <sup>0</sup>



Таблиця 16 – Локалізація несправності  $16^1_{11}$

$T_i \backslash S_i$	$1^1$	$2^1$	$3^1$	$10^1_3$	$11^1_3$	$3^0$	$6^1$	$7^1$	$10^1$	$11^1$	$16^1_{11}$	$19^1_{11}$	$11^0$	$16^1$	$22^1_{16}$	$23^1_{16}$	$16^0$	$19^1$	$22^1$	$22^0$	$23^1$	$23^0$	Y	
$1^0, 2^0, 3^1, 6^1, 7^1$	+									+		+					+	+						$22^0$
$1^0, 2^0, 3^0, 6^0, 7^0$		+															+	+						$22^0$
$1^1, 2^0, 3^0, 6^1, 7^0$		+	+	+													+	+						$22^0$
$1^0, 2^1, 3^0, 6^1, 7^0$			+		+								+	+	+					+				$22^1$
$1^0, 2^1, 3^1, 6^0, 7^0$							+						+	+	+					+				$22^1$
$1^1, 2^0, 3^1, 6^0, 7^1$						+		+											+					$22^1$
							+					+					+					+		$23^1$
													+										+	$23^0$

Для несправностей, локалізація яких не показана у табл. 3-16, можна за аналогією довести, що вони також викриваються повним перевіряючим тестом.

Отже, розглянутий приклад показує, що наведені результати досліджень можуть бути рекомендовані для застосування повних перевіряючих тестів цифрових комбінаційних схем при проведенні пошуку несправностей. Для схеми С17 доведено (табл. 3-16), що повний перевіряючий тест цієї схеми, можна використовувати для локалізації 100% одиночних константних несправностей. Тому описана діагностична процедура може бути запропонована для пошуку несправностей в існуючих та нових цифрових пристроях. На рис. 2 показано структурну схему програмно-апаратного пристрою.

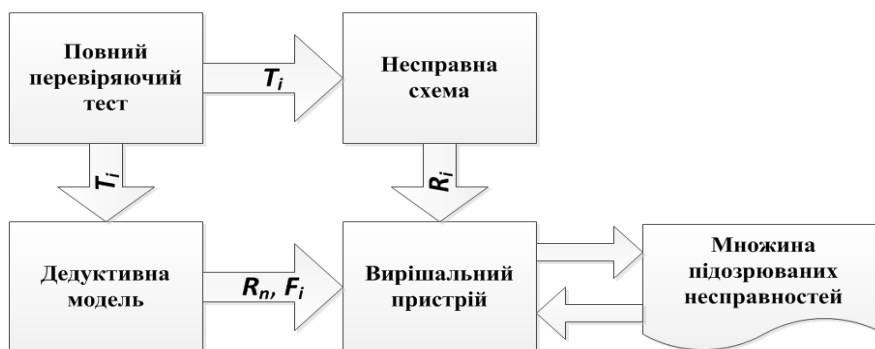


Рисунок 2 – Програмно-апаратний пристрій для реалізації діагностичної процедури

Перспективними вважаються наступні напрями продовження досліджень:

- розробка ефективних алгоритмів застосування повного тесту для локалізації несправностей у сучасних складних цифрових пристроях на надвеликих інтегральних схемах;
- продовження теоретичних і практичних досліджень з метою включення в запропоновану процедуру можливості проводити діагностування цифрових схем з пам'яттю.

**Висновки.** На даний час задача побудови **діагностичного** тесту є актуальною, але не має придатного для практичного застосування рішення. Зростаюча складність сучасних цифрових пристроїв є підставою для пошуку нових методів та засобів виявлення та усунення несправностей в цифрових схемах. Перспективними можуть вважатися підходи, засновані на використанні перевіряючих тестів у комбінації з методами моделювання.

Задача побудови **повного перевіряючого** тесту для комбінаційних пристроїв достатньо високої складності має рішення із застосуванням методу фокусованого пошуку.

Проведені дослідження показали, що повний перевіряючий тест може **локалізувати** 100% несправностей в системах діагностування з дедуктивним моделюванням.

### СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

- [1] П. П. Пархоменко, и Е. С. Согомонян, *Основы технической диагностики*. Москва, Россия: Энергия, 1981.
- [2] Д. В. Ефанов, В. В. Сапожников, и В. В. Сапожников, “Коды с суммированием с фиксированными значениями кратностей обнаруживаемых монотонных и асимметричных ошибок для систем технического диагностирования”, *Автоматика и телемеханика*, вып. 6, с. 121-141, 2019, doi: <https://doi.org/10.1134/S0005231019060072>.
- [3] А. Ю. Дракин, А. Н. Школин, и А. А. Пугачев, “Использование имитационных моделей при контроле параметров интегральных микросхем”, *Инженерный вестник Дона*, № 3, 2019. [Электронный ресурс]. Доступно: <http://ivdon.ru/ru/magazine/archive/n3y2019/5849>. Дата обращения: Август 21, 2021.
- [4] В. И. Хаханов, В. Гариби, Е. И. Литвинова, и А. С. Шкиль, “Кубитные структуры данных вычислительных устройств”, *Электронное моделирование*, т. 37, № 1, с. 76-99, 2015.
- [5] В. В. Киселев, и Н. А. Суворов, “Метод диагностики цифровых схем с программируемыми ПЛИС на этапе изготовления”, *Электротехника, информационные технологии, системы управления. Вестник ПНИПУ*, № 14, с. 97-107, 2015.
- [6] О. А. Успенский, В. М. Куликов, В. В. Рябцев, та С. В. Мітін, “Методика побудови повних перевіряючих тестів для цифрових пристроїв”, *Збірник наукових праць ВІТІ*, № 3, с. 100-110, 2020.

Стаття надійшла до редакції 27.08.2021.

### REFERENCES

- [1] P. P. Parkhomenko, and E. S. Soghomonyan, *Fundamentals of technical diagnostics*. Moscow, Russia: Energy, 1981.
- [2] D. V. Efanov, V. V. Sapozhnikov, and V. V. Sapozhnikov, “Summation codes with fixed values of the multiplicity of detected monotonic and asymmetric errors for technical diagnostics systems”, *Automation and telemekhanics*, vol. 6, pp. 121-141, 2019, doi: <https://doi.org/10.1134/S0005231019060072>.
- [3] A. Yu. Drakin, A. N. Shkolin, and A. A. Pugachev, “The use of simulation models when controlling the parameters of integrated circuits”, *Don's Engineering Gazette*, № 3, 2019. [Electronic resource]. Available: <http://ivdon.ru/ru/magazine/archive/n3y2019/5849>. Accessed on: Aug. 21, 2021.
- [4] V. I. Khakhanov, V. Garibi, E. I. Litvinova, and A. S. Shkil, “Cubit data structures of computing devices”, *Electronic modeling*, v. 37, no. 1, pp.76-99, 2015.
- [5] V. V. Kiselev, and N. A. Suvorov, “Method for diagnostics of digital circuits with programmable FPGAs at the manufacturing stage”, *Electrical engineering, information technology, control systems. Vesnik PNRPU*, no. 14, pp. 97-107, 2015.
- [6] O. A. Uspensky, V. M. Kulikov, V. V. Ryabtsev, and S. V. Mitin, “Methods of constructing complete verification tests for digital devices”, *Collection of scientific works of VITI*, no. 3, pp. 100-110, 2020.

VASYL KULIKOV,  
OLEKSANDR USPENSKYI,  
ANDRII ZHURAVEL,  
MYKOLA ZHURAVEL

### APPROACH TO DIAGNOSING A DIGITAL DEVICES ON A COMPLETE VERIFICATION TEST

The results of research on the possibility of using a complete test to solve a current scientific and technical problem, namely, the localization of faults in a digital combination device. The purpose

of this study is to increase the efficiency of diagnostic support of modern digital devices. Faults that do not convert a circuit from the category of digital circuits and distort only the functions of logic elements are considered. Such faults include faults such as fixing the values of signals in 0 and 1 at the inputs and outputs of the circuit and inputs and outputs of logic elements. The task of building a diagnostic test currently has no solution that could be recommended for practical use. A new approach to fault localization in a digital device is proposed, based on the use of a complete verification test together with deductive simulation, which reduces the number of suspected faulty technical states. The construction of a complete verification test is based on the use of methods for determining the input signals, which distinguish a pair of technical states of the digital circuit. Describes a diagnostic procedure in which the use of a full test can significantly reduce the amount of diagnostic information required to troubleshoot a digital device. The proposed procedure can be recommended for the construction of diagnostic software for digital circuits at the stages of their design and operation. A structural scheme of a software and hardware device for implementing a diagnostic procedure is also proposed. The result of the study is the conclusion that the use of a complete test significantly reduces the amount of diagnostic information and, accordingly, significantly increases the efficiency of devices of determining the technical condition of digital devices. The results of the research are demonstrated on the example of a combinational scheme C17 ISCAS. It is shown that the full verification test localizes in this scheme all constant faults of multiplicity 1.

**Keywords:** digital circuit, technical state, malfunction, verification test, diagnostic test, digital device model.

**Куліков Василь Михайлович**, кандидат технічних наук, доцент, доцент кафедри кібербезпеки і застосування інформаційних систем і технологій, Інститут спеціального зв'язку та захисту інформації Національного технічного університету України “Київський політехнічний інститут імені Ігоря Сікорського”, Київ, Україна, ORCID 0000-0002-1015-5802, k.v.m@i.ua.

**Успенський Олександр Анатолійович**, кандидат технічних наук, доцент, доцент кафедри кібербезпеки і застосування інформаційних систем і технологій, Інститут спеціального зв'язку та захисту інформації Національного технічного університету України “Київський політехнічний інститут імені Ігоря Сікорського”, Київ, Україна, ORCID 0000-0001-6953-421X, uspensky@ukr.net.

**Журавель Андрій Сергійович**, бакалавр, Інститут спеціального зв'язку та захисту інформації Національного технічного університету України “Київський політехнічний інститут імені Ігоря Сікорського”, Київ, Україна, ORCID 0000-0002-0621-3387, markus.quintius@gmail.com.

**Журавель Микола Сергійович**, бакалавр, Інститут спеціального зв'язку та захисту інформації Національного технічного університету України “Київський політехнічний інститут імені Ігоря Сікорського”, Київ, Україна, ORCID 0000-0003-3440-6810, zuraveell@gmail.com.

**Kulikov Vasyl**, candidate of engineering sciences, associate professor, associate professor at the cybersecurity and application of information systems and technology academic department, Institute of special communication and information security of National technical university of the Ukraine “Igor Sikorsky Kyiv polytechnic institute”, Kyiv, Ukraine.

**Uspenskyi Oleksandr**, candidate of engineering sciences, associate professor, associate professor at the cybersecurity and application of information systems and technology academic department, Institute of special communication and information security of National technical university of the Ukraine “Igor Sikorsky Kyiv polytechnic institute”, Kyiv, Ukraine.

**Zhuravel Andrii**, bachelor's student, Institute of special communication and information security of National technical university of the Ukraine “Igor Sikorsky Kyiv polytechnic institute”, Kyiv, Ukraine.

**Zhuravel Mykola**, bachelor's student, Institute of special communication and information security of National technical university of the Ukraine “Igor Sikorsky Kyiv polytechnic institute”, Kyiv, Ukraine.