

Степан Миколайович Білан, кандидат технічних наук, доцент, професор кафедри кібербезпеки та застосування автоматизованих інформаційних систем та технологій, Інститут спеціального зв'язку та захисту інформації Національного технічного університету України «Київський політехнічний інститут», Київ, Україна.

Миколай Миколайович Білан, вчитель інформатики МЗОУ Маякська ЗОШ, село Маяк, Молдова.

Сергій Степанович Білан, технічний керівник, ТОВ ВІН-ІНТЕРАКТИВ, Вінниця, Україна.

Степан Николаевич Белан, кандидат технических наук, профессор кафедры кибербезопасности и использования автоматизированных информационных систем и технологий», Институт специальной связи и защиты информации НТУУ «КПИ», Киев, Украина.

Николай Николаевич Белан, учитель информатики МОУ Маякская ОСШ, поселок Маяк, Молдова.

Сергей Степанович Белан, технический руководитель, ООО ВИН-ИНТЕРАКТИВ, Винница, Украина.

УДК 681.326.7

ВАСИЛИЙ КУЛИКОВ,
ВИТАЛИЙ КРАВЧУК

МЕТОД МОДЕЛИРОВАНИЯ ЦИФРОВЫХ СХЕМ С НЕИСПРАВНОСТЯМИ

Рассматривается метод моделирования цифровых схем применительно к решению задачи поиска неисправности, не обнаруживаемой по реакции схемы на заданную входную последовательность сигналов (проверки полноты теста). Метод позволяет строить модели цифровых схем, обладающие лучшими показателями скорости моделирования по сравнению с известными методами. Высокая скорость моделирования достигается за счёт сведения процесса моделирования к операциям поразрядного логического умножения и сложения рабочих полей, в которых содержится вся необходимая информация о сигналах и неисправностях схемы.

Ключевые слова: метод моделирования, цифровые схемы, неисправность.

Постановка задачи. Рассматриваемый метод является интерпретативным, событийным, дедуктивным методом Δ -моделирования от входов к выходам в троичном алфавите для цифровых схем, представленных на вентиляном уровне, с неявным учетом задержек элементов, с параллельным моделированием схемы во всех рассматриваемых состояниях. Метод является дальнейшим развитием идей дедуктивного и параллельного моделирования и обладает лучшими их свойствами. Описание метода сопровождается примером применения его для моделирования простой комбинационной схемы, известной как схема C17 ISCAS'85 (см. рис.1) [1-4].

Идея метода предложена В.А. Ермиловым.

Дано: цифровая схема M . Элементы схемы представлены своими функциями в дизъюнктивной нормальной форме. Известен также набор значений входных сигналов (тест) X . Задано множество неисправностей, являющихся следствием дефектов в реальном цифровом устройстве, схемой которого является схема M . Множество состоит из *одиночных константных неисправностей* элементов схемы, которые искажают лишь функции элементов, но не изменяют числа элементов в схеме и связи между ними. Неисправности относятся к элементам и могут быть представлены функциями элементов в присутствии данных неисправностей. Каждый элемент может находиться в исправном техническом состоянии, чему соответствует правильная функция, или в одном из допустимых неисправных технических состояний, для которых также известны функции. Все технические состояния элементов (исправные и неисправные) получают номера от 1 до N . Состояние схемы без неисправностей будем называть исправным состоянием и присвоим ему номер 0 . Очевидно, что для случая одиночных неисправностей любая неисправность элемента однозначно определяет состояние всей схемы. Поэтому неисправность S_i какого-либо элемента есть техническое состояние S_i всей схемы. Таким образом, рассматриваются $N+1$ техническое состояние схемы и элементов.

Определить: реакцию схемы M на заданный набор значений входных сигналов X во всех $N+1$ рассматриваемых технических состояниях.

Модель схемы С17 в присутствии одиночных константных неисправностей. Применительно к схеме на рис. 1, исходные данные для моделирования можно представить, как показано ниже.

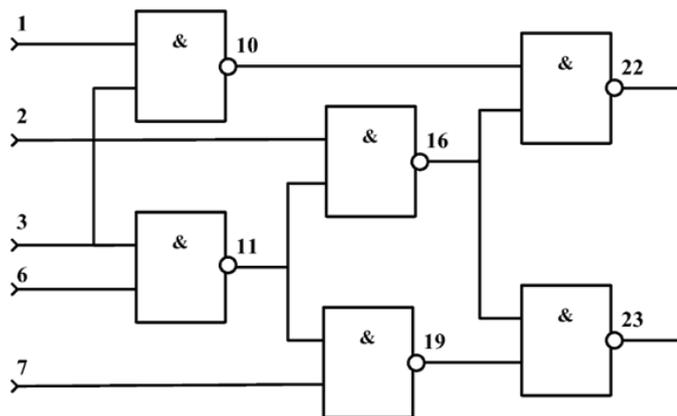


Рисунок 1 – Схема С17

1. Функции элементов в ДНФ.

$$\begin{aligned}
 P_{10} &= \wedge P_1 + \wedge P_3; & \wedge P_{10} &= P_1 * P_3 \\
 P_{11} &= \wedge P_3 + \wedge P_6; & \wedge P_{11} &= P_3 * P_6 \\
 P_{16} &= \wedge P_2 + \wedge P_{11}; & \wedge P_{16} &= P_2 * P_{11} \\
 P_{19} &= \wedge P_{11} + \wedge P_7; & \wedge P_{19} &= P_{11} * P_7 \\
 P_{22} &= \wedge P_{10} + \wedge P_{16}; & \wedge P_{22} &= P_{10} * P_{16} \\
 P_{23} &= \wedge P_{16} + \wedge P_{19}; & \wedge P_{23} &= P_{16} * P_{19}
 \end{aligned}$$

где P_1, P_2, \dots, P_{23} – переменные исчисления высказываний, значениями которых могут быть «Истина» или «Ложь» в зависимости от значений сигналов на выходах элементов и входах схемы $1, 2, \dots, 23$. $P_k = \text{«Истина»}$, если истинно высказывание «Значение сигнала на выходе элемента i равно 1 », в противном случае $\wedge P_k = \text{«Истина»}$, т.е. истинно высказывание «Значение сигнала на выходе элемента k равно 0 » (k – номер элемента);

2. Множество различных технических состояний схемы, для которых введем переменные S_0, S_1, \dots, S_{33} . Для обозначения исправных технических состояний будем дописывать в идентификаторы переменных букву n . Семантика переменных технических состояний для схемы на рис. 1 приведена в табл. 1. (Рассмотрение метода отбора различных неисправностей выходит за рамки данной статьи [4]).

Таблица 1 – Технические состояния схемы С17

Переменная технического состояния	Номер элемента	Техническое состояние	Место неисправности
S0n	исправное состояние схемы		
S1n	1	исправен	
S2	1	const 1	вход 1 схемы
S3n	2	исправен	
S4	2	const 1	вход 2 схемы
S5n	3	исправен	
S6	3	const 0	вход 3 схемы
S7	3	const 1	вход 3 схемы
S8	10	const 1	вход 2
S9	11	const 1	вход 1
S10n	6	исправен	
S11	6	const 1	вход 6 схемы
S12n	7	исправен	
S13	7	const 1	вход 7 схемы
S14n	10	исправен	
S15	10	const 1	выход
S16n	11	исправен	
S17	11	const 0	выход
S18	11	const 1	выход
S19	16	const 1	вход 2
S20	19	const 1	вход 1
S21n	16	исправен	
S22	16	const 0	выход
S23	16	const 1	выход
S24	22	const 1	вход 2
S25	23	const 1	вход 1
S26n	19	исправен	
S27	19	const 1	выход
S28n	22	исправен	
S29	22	const 0	выход
S30	22	const 1	выход
S31n	23	исправен	
S32	23	const 0	выход
S33	23	const 1	выход

3. Функции неисправностей, сформированные из функций исправных элементов добавлением в них переменных технических состояний и функций при неисправностях. Например, элемент 16 может быть исправным (состояние $S21n$) или находиться в одном из своих неисправных технических состояний $S19$, $S22$, $S23$. Функции, реализуемые элементом 16 в этих состояниях, имеют вид:

- в состоянии $S21n$

$$P16 = S21n * ^P2 + S21n * ^P11$$

$$^P16 = S21n * P2 * P11$$

- в состоянии $S22$

$$P16 = S22$$

$$^P16 = \langle \text{Ложь} \rangle$$

- в состоянии $S19$

$$P16 = S19 * ^P2$$

$$^P16 = S19 * P2$$

- в состоянии $S23$

$$P16 = \langle \text{Ложь} \rangle$$

$$^P16 = S23$$

Функция всех неисправностей элемента 16 образуется простой дизъюнкцией функций всех состояний:

$$P16 = S21n * \wedge P2 + S21n * \wedge P11 + S19 * \wedge P2 + S22 \\ \wedge P16 = S21n * P2 * P11 + S19 * P2 + S22$$

Аналогично могут быть получены функции неисправностей всех элементов схемы. Для получения функций неисправностей входов схемы потребуется ввести дополнительные входные переменные $P01, P02, P03, P06, P07$, значения которых зависят только от входных сигналов схемы, в то время как значения переменных $P1, P2, P3, P6, P7$ зависят от входных сигналов и технических состояний входов схемы. Например, для входа 1:

$$P1 = S1n * P01 + S2 \\ \wedge P1 = S1n * \wedge P01$$

4. Набор X значений сигналов на входах 1, 2, 3, 6, 7 схемы в троичном алфавите:

$$X = (0, 1/2, 1, 1, 1), \text{ где } 1/2 - \text{неопределенное значение.}$$

Определение основных понятий. Процесс моделирования цифровой схемы с неисправностями может быть сведен к двоичным операциям поразрядного логического сложения (дизъюнкции) и умножения (конъюнкции) битовых полей фиксированной длины. Управляющая информация о последовательности выполнения операций над полями содержится в шкалах. Введём определения этих понятий.

Определение 1. Рабочее поле – это множество технических состояний, представленное в двоичном позиционном коде, где номер состояния равен номеру позиции рабочего поля.

Пример. Представим в виде рабочего поля множество технических состояний схемы, показанной на рис.1, при наличии в ней неисправности $S33$.

Длина рабочего поля равна количеству переменных технических состояний, т.е. 34. Для случая одиночных неисправностей множество, представленное данным рабочим полем, содержит переменные исправных технических состояний всех элементов, кроме элемента 23, и саму неисправность $S33$:

$$\{S1n, S3n, S5n, S10n, S12n, S14n, S16n, S21n, S26n, S28n, S33\}.$$

Рабочее поле имеет вид:

Номер позиции	0 ... 9	10 ... 19	20 ... 29	30...33
Рабочее поле $S33$	0101010000	1010101000	0100010100	0001

Будем рассматривать рабочие поля трех видов:

- рабочие поля входных переменных схемы $P0k$ и $\wedge P0k$ (k - номер входа схемы);
- рабочие поля внутренних переменных схемы Pk и $\wedge Pk$ (k - номер элемента);
- рабочие поля переменных технических состояний Si и Sin , (i - номер состояния).

Рабочие поля входных переменных $P0k$ и $\wedge P0k$ используются для представления множеств технических состояний, которые обеспечивают условия существования на входных линиях схемы сигналов входного набора X . Заполняются для каждого входного набора X .

Рабочие поля внутренних переменных Pk и $\wedge Pk$ служат для хранения в процессе моделирования множеств технических состояний схемы, в присутствии которых сигнал на выходе элемента k равен 1 и 0, соответственно. Используются в процессе моделирования и постоянно изменяются.

Рабочие поля переменных технических состояний Si и Sin являются множествами состояний схемы и элементов, которые определяют набор допустимых технических состояний при наличии в схеме неисправности Si или при исправном состоянии Sin какого-либо элемента. Заполняются один раз и в процессе моделирования не подлежат изменению.

Таким образом, при моделировании будут использоваться по два рабочих поля на каждый вход схемы и вентиль и по одному рабочему полю на состояние. Как будет ясно из последующего изложения материала, рабочее поле для состояния $S0n$ не используется. Для схемы на рис.1, следовательно, потребуется $2 * 5 + 2 * 6 + 33 = 55$ рабочих полей.

Процесс моделирования состоит в последовательном от входов к выходам пересчете множеств состояний, содержащихся в рабочих полях. Сначала пересчитываются рабочие поля переменных элементов, непосредственно соединенных с входами схемы, затем – рабочие поля переменных элементов следующего относительно входов схемы яруса и т.д. Множества технических состояний в рабочих полях переменных выходных элементов схемы позволяют судить о том, какие неисправности не искажают правильную реакцию схемы на входной набор X и какие искажают.

Управляющая информация относительно последовательности операций по пересчету рабочих полей содержится в шкалах.

Определение 2. Шкала – управляющая структура, содержащая информацию о последовательности выборки для пересечения и объединения рабочих полей, а также месте хранения результата.

Необходимая для формирования шкал последовательность операций полностью задается функциями неисправностей элементов. Поэтому можно также сказать, что шкала – это функция неисправностей, в которой переменные заменены указателями (адресами) на соответствующие им рабочие поля. Шкалу можно рассматривать также как формулу вычисления рабочего поля выходной переменной элемента по известным рабочим полям его входных переменных.

Если для обозначения рабочих полей использовать те же идентификаторы, что и для переменных, то шкалы по виду могут совпадать с функциями неисправностей. Например, шкалы указывающие порядок вычисления рабочих полей выходных переменных элемента 10 в схеме С17 имеют вид:

$$P10 = S8 * ^P1 + S14n * ^P3 + S14n * ^P1 + S15$$

$$^P10 = S8 * P1 + S14n * P3 * P1.$$

Данные шкалы указывают, что необходимо выполнить действия в следующей последовательности:

- а) выполнить пересечение рабочих полей переменных $S8, ^P1$;
- б) выполнить пересечение рабочих полей переменных $S14n, ^P3$;
- в) выполнить пересечение рабочих полей переменных $S14n, ^P1$;
- г) результат, полученный в п.а, объединить с результатом, полученным в п.б;
- д) результат, полученный в п.г, объединить с результатом, полученным в п.в;
- е) результат, полученный в п.д, объединить с рабочим полем переменной $S15$;
- ж) результат, полученный в п.е, поместить в рабочее поле переменной $P10$.

Аналогично следует интерпретировать шкалу для вычисления рабочего поля переменной P10 .

Форма шкалы в каждой конкретной программной реализации метода моделирования может быть индивидуальна. Кроме того, в шкалы может быть помещена некоторая другая, необходимая для моделирования, информация.

Последовательность действий при моделировании. Основными этапами моделирования цифровой схемы с неисправностями являются:

- первоначальное заполнение рабочих полей;
- моделирование элементов схемы - вычисление рабочих полей внутренних переменных;
- интерпретация результатов моделирования.

Рассмотрим эти этапы.

Первоначальное заполнение рабочих полей. Рабочие поля входных переменных заполняются в соответствии со входными сигналами, на которых моделируется поведение схемы. Очевидно, что значение сигнала на k -ом входе схемы не зависит от состояний, в которых могут находиться элементы, а зависит только от самого входного сигнала. Следовательно, сигнал I на k -ом входе схемы может рассматриваться как истинное значение переменной $P0k$ и ложное значение переменной P0k при любых состояниях элементов.

Таким образом, начальное значение входной переменной $P0k$ при моделировании на k -м входе сигнала логической 1 задается логической суммой всех рассматриваемых технических состояний.

$$P0k = \sum_{i=0}^N Si, \text{ (здесь } Sin = Si).$$

Аналогично рассуждая, можно сделать заключение, что при единичном значении сигнала на k -ом входе, начальное (ложное) значение переменной $\wedge P0k$ не зависит от состояния схемы. Следовательно $\wedge P0k = 0$.

Нулевое значение сигнала на входе k схемы задается как

$$\wedge P0k = \sum_{i=0}^N Si, \text{ (здесь } Sin = Si) \text{ и } P0k = 0.$$

Для случая одиночных неисправностей при вычислении значений выражений, определяющих условия существования на выходах логических элементов моделируемой схемы сигналов 0 и 1 , результат конъюнкции и дизъюнкции выражений в скобочной форме совпадает с результатом операций пересечения и объединения множеств, элементами которых являются члены логических сумм в скобках.

Следовательно, значение переменной $P0k$ при подаче на вход k сигнала 1 , следует представить множеством всех рассматриваемых технических состояний, а значение переменной $\wedge P0k$ пустым множеством. Аналогично, нулевой сигнал на входе k схемы представляется множеством всех технических состояний в качестве значения переменной $\wedge P0k$, и пустым множеством в качестве значения переменной $P0k$.

Неопределённое значение входного сигнала означает, что сигнал на входе может быть как 0 , так и 1 , то есть выполняются условия существования обоих значений сигналов. Этот случай представляется множеством всех технических состояний в качестве значений переменных $P0k, \wedge P0k$.

Первоначальное заполнение рабочих полей входных переменных схемы, исходя из сказанного, следует выполнить, придерживаясь следующих правил:

- если значение сигнала на входе k схемы в наборе X равно 1 , то во все позиции рабочего поля переменной $P0k$ записываются единицы, а во все позиции рабочего поля переменной $\wedge P0k$ записываются нули;
- если значение сигнала на входе k схемы в наборе X равно 0 , то во все позиции рабочего поля переменной $P0k$ записываются нули, а во все позиции рабочего поля переменной $\wedge P0k$ записываются единицы;
- если значение сигнала на входе k схемы в наборе X не определено (равно $1/2$), то во все позиции рабочих полей переменных $P0k, \wedge P0k$ записываются единицы.

До начала процесса моделирования сигналы на всех линиях схемы, кроме входных, не известны, а значит, их следует принять равными $1/2$. Следовательно, во все позиции рабочих полей переменных элементов схемы первоначально следует записать 1 .

Рабочие поля переменных технических состояний кодируются исходя из следующих условий.

А. Каждый элемент схемы может находиться только в одном техническом состоянии.

Б. В схеме могут возникать только одиночные неисправности.

Рабочее поле переменной Sin исправного технического состояния элемента k включает все рассматриваемые состояния, за исключением неисправностей самого элемента k . Это значит, что исправное состояние элемента k не противоречит никаким другим техническим состояниям, кроме неисправностей элемента k (условие А).

Рабочее поле переменной неисправности Si элемента k состоит из исправных состояний всех элементов, кроме k , и самого состояния Si . Действительно, если элемент k находится в состоянии Si , то в рабочем поле не может быть других состояний этого элемента, кроме Si , (условие А), другие элементы при этом могут быть только исправными (условия Б).

Из сказанного следуют правила заполнения рабочих полей переменных технических состояний:

– рабочее поле переменной исправного технического состояния S_{in} элемента k содержит 0 в позициях, соответствующих неисправностям элемента k , и 1 во всех остальных позициях;

– рабочее поле переменной неисправности S_i элемента k содержит 1 в i -й позиции и позициях исправных состояний всех элементов, кроме k , и 0 во всех остальных позициях.

Пример. Рабочее поле переменной S_{5n} для схемы на рис.1 (исправное состояние входа 3) содержит 0 только в позициях 6 и 7, так как состояния S_6 , S_7 являются неисправностями элемента 3. Рабочее поле имеет вид:

Номер разряда	0 ... 9	10 ... 19	20 ... 29	30...33
Рабочее поле S_{5n}	1111110011	1111111111	1111111111	1111

Пример. В рабочем поле переменной S_6 для схемы на рис.1 (закрепление в 0 входа 3 схемы) в 1 установлены разряды 6, 0, 1, 3, 5, 10, 12, 14, 16, 21, 26, 28, 31, то есть позиции состояния S_6 и состояний S_{0n} , S_{1n} , S_{3n} , S_{5n} , S_{10n} , S_{12n} , S_{14n} , S_{16n} , S_{21n} , S_{26n} , S_{28n} , S_{31n} :

Номер разряда	0 ... 9	10 ... 19	20 ... 29	30...33
Рабочее поле S_6	1101011000	1010101000	0100001010	0100

Моделирование элементов схемы – вычисление рабочих полей внутренних переменных. Управляющая информация в шкале одного логического элемента задает порядок вычисления множеств состояний, которые не противоречат друг другу и сигналу на выходе элемента при заданных сигналах на входах схемы. Определим последовательность обработки шкал для произвольной цифровой схемы.

В зависимости от способа управления процессом моделирования различают итеративное и событийное моделирование. Рассматриваемый метод может быть реализован как первым, так и вторым способом.

При итеративном моделировании для комбинационных схем каждая шкала обрабатывается один раз. Процесс моделирования состоит из одной итерации. Последовательность обработки шкал в пределах итерации устанавливается до начала моделирования. Шкала выбирается для обработки, если вычислены рабочие поля всех переменных, входящих в шкалу. Итеративное моделирование для комбинационных схем обладает наивысшей скоростью по сравнению с другими способами управления процессом моделирования.

Итеративное моделирование для схем с памятью имеет существенное ограничение на применение. Оно состоит в том, что практически невозможно точно определить последовательность обработки шкал до начала моделирования из-за наличия в схемах линий обратных связей. Одним из путей преодоления данного ограничения является представление последовательности схемы в виде совокупности комбинационных, которые образуются из исходной схемы путем разрыва линий обратных связей и включения их в число входов схемы. Такой подход также не свободен от недостатков, определяющим из которых является неадекватность моделирования. Причиной неадекватности служит то, что линии обратных связей могут быть разорваны различными способами и результат моделирования зависит от того какие линии схемы выбраны для разрыва.

Предлагаемый метод моделирования реализован в форме событийного алгоритма, который не требует поиска и разрыва в схемах линий обратных связей. Процесс моделирования максимально приближен к процессу реального распространения сигналов в схеме. Событийность алгоритма управления состоит в том, что критерием выборки шкалы для обработки является событие, состоящее в изменении, по крайней мере, одного рабочего поля переменной в шкале. Первыми изменяются рабочие поля входных переменных схемы. Поэтому на первом шаге обрабатываются шкалы, в которые входят входные переменные схемы. Затем выполняется сравнение рабочих полей, полученных в результате обработки

шкалы, с первоначальными значениями тех же полей. На следующем шаге обрабатываются шкалы, в которые входят переменные рабочих полей, изменившихся на предыдущем шаге и т.д. Окончание моделирования наступает, когда в результате обработки шкал рабочие поля не меняются.

Точность моделирования зависит также от выбора способа моделирования времени распространения сигналов в схеме. Будем исходить из предположения о равенстве задержек всех элементов некоторой величине D . Элемент, обладающий задержкой $k*D$, заменяется k элементами с задержками D , первый из которых выполняет функцию исходного элемента, а остальные являются повторителями. Моделирование элементов будет выполняться в очередности, зависящей от удаленности элемента от входов схемы, начиная с элементов, ближайших к входам. Последующие элементы включаются в процесс по мере распространения до их входов изменений, вызванных входными сигналами схемы. Таким образом, следующими за входными моделируются элементы, до которых изменения дойдут через D моментов времени, затем элементы, отстоящие от входов на удалении $2*D$, затем – $3*D$ и т.д. Данный способ учета времени в моделях цифровых схем называется *явным учетом задержек* элементов и позволяет путем подбора величины интервала D получить высокую точность результата для каждой схемы.

Приведем описание алгоритма моделирования цифровых схем с неисправностями, разработанного на основе изложенного выше метода.

Исходными данными для выполнения алгоритма являются:

- схема, представленная функциями составляющих ее элементов;
- множество состояний схемы S_0, S_1, \dots, S_n ;
- прямые и обратные функции неисправностей элементов;
- последовательность наборов X значений входных сигналов.

Шаг 1. Выполнить первоначальное заполнение рабочих полей переменных внутренних элементов и технических состояний. Записать в списки CUR, SEQ пустое множество элементов. $X := \langle \text{первый набор входной последовательности} \rangle$.

Шаг 2. Выполнить первоначальное заполнение рабочих полей входных переменных схемы для сигналов, заданных набором X . Записать в список CUR переменные P_i и $\wedge P_i$ элементов, входами которых являются входы схемы.

Шаг 3. Проверить, есть ли в списке CUR переменные. Если нет, то переход к шагу 7, иначе – к шагу 4.

Шаг 4. Вычислить новое значение рабочего поля переменной, стоящей на первом месте в списке CUR, в соответствии со шкалой для данного рабочего поля. Исключить первую переменную из CUR.

Шаг 5. Сравнить вычисленное на шаге 4 значение рабочего поля со старым значением того же поля. При равенстве старого и нового рабочих полей перейти к шагу 3, иначе – к шагу 6.

Шаг 6. Дописать в список SEQ прямые и обратные переменные выходов элементов, входы которых соединены с выходом обработанного в шаге 4 элемента. Продолжить с шага 3.

Шаг 7. Проверить, есть ли в списке SEQ переменные. Если нет, то выполнить шаг 8, иначе: $CUR := SEQ$, $SEQ := 0$, перейти к шагу 3.

Шаг 8. Проверить, есть ли входные наборы, на которых не выполнено моделирование. Если нет то КОНЕЦ, иначе $X := \langle \text{следующий входной набор} \rangle$ и продолжить с шага 2.

Предлагаемый алгоритм реализует двоичное асинхронное моделирование, которое не позволяет обнаружить часть состязаний, возникающих в реальных цифровых устройствах. Это происходит потому, что каждому элементу схемы приписывается его номинальная задержка, не учитывающая возможный в реальной схеме разброс задержек.

Интерпретация результатов моделирования. Описанный метод моделирования цифровых схем с неисправностями разработан для определения множества неисправностей схемы, не обнаруживаемых заданной входной тестовой последовательностью сигналов.

Единица в позиции i рабочего поля переменной элемента, соединенного с выходом схемы, означает, что состояние S_i входит в множество состояний схемы, в присутствии которых данная переменная может иметь истинное значение. Соответственно, ноль в i -ой позиции исключает истинное значение переменной в состоянии S_i . Так как каждому элементу схемы приписывается две переменные (с отрицанием: $\wedge P_k$ и без отрицания: P_k), то для рабочих полей элемента k возможны следующие комбинации значений i -ого разряда P_{ki} и $\wedge P_{ki}$ рабочих полей:

– комбинация $P_{ki} = 0, \wedge P_{ki} = 0$ является запрещенной, так как неисправности, которые запрещают любое из двух возможных значений сигнала на выходе логического элемента, не рассматриваются;

– комбинация $P_{ki} = 0, \wedge P_{ki} = 1$ означает, что в состоянии S_i схемы на моделируемом входном наборе сигнал на выходе элемента k равен 0;

– комбинация $P_{ki} = 1, \wedge P_{ki} = 0$ соответствует единичному сигналу элемента k на рассматриваемом входном наборе в состоянии S_i ;

– при $P_{ki} = 1, \wedge P_{ki} = 1$ значение сигнала на выходе элемента k в состоянии S_i может быть как 0, так и 1, то есть не определено.

Из сказанного следует порядок проведения дешифрации результатов моделирования на одном входном наборе.

1. Определяется значение сигнала на k -ом выходном элементе схемы в исправном состоянии. Исправному состоянию схемы соответствует нулевой разряд рабочих полей: P_{k0} и $\wedge P_{k0}$.

2. Определяется значение сигнала на k -ом выходном элементе схемы в состоянии S_i . Состоянию S_i соответствует i -ая позиция рабочих полей: P_{ki} и $\wedge P_{ki}$.

3. Если сигнал на выходе k -го элемента в состоянии S_i не определен или совпадает со значением сигнала исправной схемы на этом же выходе, то неисправность S_i не обнаруживается на выходе k -го элемента, а если определен и не совпадает – обнаруживается.

4. Пункты 1,2,3 выполнить для всех $k = 1, 2, \dots, m$ и $i = 0, 1, 2, \dots, N$, где m – число выходов схемы, i – число состояний схемы. Множество необнаруживаемых неисправностей есть множество состояний S_i , не обнаруживаемых ни на одном из выходов схемы.

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. Немолочнов О. Ф. Анализ и устранение критических состязаний сигналов при синтезе тестовых последовательностей / О. Ф. Немолочнов // Автоматика и телемеханика. – 1976. – № 11, – С. 173-181.

2. Eichelberger E. V. Hazard detection in combinational and sequential switching circuits / E. V. Eichelberger // IBM Journal Research and Development. – 1965. – Vol. 9, № 3. – P. 90-99.

3. Биргер А. Г. Метод моделирования дискретных устройств / А. Г. Биргер // Автоматика и телемеханика. – 1981. – № 1. – С.138-144.

4. Сапожников В. В. Об отношениях между неисправностями в комбинационных логических схемах / В. В. Сапожников, Вл. В. Сапожников // Автоматика и телемеханика. – 1978. – № 1. – С.167-171.

Статья поступила в редакцию 19.03.2015.

REFERENCES

1. Nemolochnov, O.F. (1976), *Analysis and elimination of critical events in the synthesis of test signals sequences* [Analiz i ustranenie kriticheskikh sostiazanii signalov pri sinteze testovykh posledovatel'nostei], Automation and Remote Control, № 11, pp. 173-181.

2. Eichelberger, E.V. (1965), *Hazard detection in combinational and sequential switching circuits*, IBM Journal Research and Development, Vol. 9, № 3, pp. 90-99.

3. Birger, A.G. (1981), *The simulation method of discrete devices* [Metod modelirovaniia diskretnykh ustroystv], Automation and Remote Control, № 1, pp.138-144.

4. Sapozhnikov, V.V., Sapozhnikov, Vl.V. (1978), *Relations between faults in combinational logic circuits* [Ob otnosheniakh mezhdu neispravnostiami v kombinatsionnykh logicheskikh skhemakh], Avtomatika And Remote Control, № 1, pp.167-171.

ВАСИЛЬ КУЛІКОВ,
ВІТАЛІЙ КРАВЧУК

МЕТОД МОДЕЛЮВАННЯ ЦИФРОВИХ СХЕМ З НЕСПРАВНОСТЯМИ

Розглядається метод моделювання цифрових схем стосовно вирішення задачі пошуку несправності, що не виявляється за реакцією схеми на задану вхідну послідовність сигналів (перевірки повноти тесту). Метод дозволяє будувати моделі цифрових схем, що володіють кращими показниками швидкості моделювання в порівнянні з відомими методами. Висока швидкість моделювання досягається за рахунок приведення процесу моделювання до операцій порозрядного логічного множення і додавання робочих полів, в яких міститься вся необхідна інформація про сигнали і несправності схеми.

Ключові слова: метод моделювання, цифрові схеми, несправність.

VASUL KULIKOV,
VITALIJ KRAVCHUK

SIMULATION METHOD OF DIGITAL CIRCUITS WITH FAULTS

The simulation method of digital circuits applied to solving the problem of finding fault is not detected by the reaction scheme on the same input sequence signals (completeness check test). The method allows to build models of digital circuits that have better performance simulation speed compared with known methods. High speed simulation is achieved by bringing the process modeling operations successive logical multiplication and addition business fields, which contain all the necessary information about signals and malfunctions scheme.

Keywords: simulation method, digital circuits, malfunction.

Василий Михайлович Куликов, кандидат технических наук, доцент, доцент кафедры, Институт специальной связи и защиты информации НТУУ «КПИ», Киев, Украина.

E-mail: k.v.m@rambler.ru.

Віталій Володимирович Кравчук, аспірант, Інститут спеціальної зв'язи і захисту інформації НТУУ «КПІ», Київ, Україна.

E-mail: vikravch@ukr.net.

Василь Михайлович Куліков, кандидат технічних наук, доцент, доцент кафедри, Інститут спеціального зв'язку та захисту інформації НТУУ «КПІ», Київ, Україна.

Віталій Володимирович Кравчук, аспірант, Інститут спеціального зв'язку та захисту інформації НТУУ «КПІ», Київ, Україна.

Vasyl Kulikov, candidate of technical sciences, associate professor, associate professor of department, Institute of special communications and information security National technical university of Ukraine «Kyiv polytechnic institute», Kyiv, Ukraine.

Vitalii Kravchuk, postgraduate student, Institute of special communications and information security National technical university of Ukraine «Kyiv polytechnic institute», Kyiv, Ukraine.